

PAT-NO: JP404333224A

DOCUMENT-IDENTIFIER: JP 04333224 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: November 20, 1992

INVENTOR-INFORMATION:

NAME

HOSHI, KEIICHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP03102955

APPL-DATE: May 9, 1991

INT-CL (IPC): H01L021/28, G03F007/26 , H01L021/306 , H01L021/90

US-CL-CURRENT: 438/978, 438/FOR.492

ABSTRACT:

PURPOSE: To improve the connection between the upper layer wiring and the lower layer wiring by forming a forward taper-shaped through hole on the interlayer insulating film formed on the lower layer wiring.

CONSTITUTION: A flattened interlayer insulating film 3 is formed on a lower layer wiring 2. Then, novolac photoresist 4 is applied thereon, exposed and left in an amine gas atmosphere. Subsequently, the whole surface is exposed, and developed by an alkaline developing solution, and an inverted taper-formed resist pattern 4 is obtained. Then, the interlayer insulating film 3 is reactive ion-etched, and an aperture, having forward taper-shaped cross section, is obtained. Then, an upper layer wiring 5 is formed using a

sputtering method and a lithographic method, and an element part is completed. The step coverage of the upper layer wiring, which is on the inter-layer insulating film, is improved, the connection resistance of the lower layer wiring is reduced, the unsatisfactory open caused by disconnection is removed, and the yield of production can be improved.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-333224

(43) 公開日 平成4年(1992)11月20日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/28		U 7738-4M		
G 0 3 F 7/26	5 1 3	7124-2H		
H 0 1 L 21/306		F 7342-4M		
21/90		B 7353-4M		
// C 0 8 L 61:06				

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 特願平3-102955

(22) 出願日 平成3年(1991)5月9日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 星 圭一

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 弁理士 内原 晋

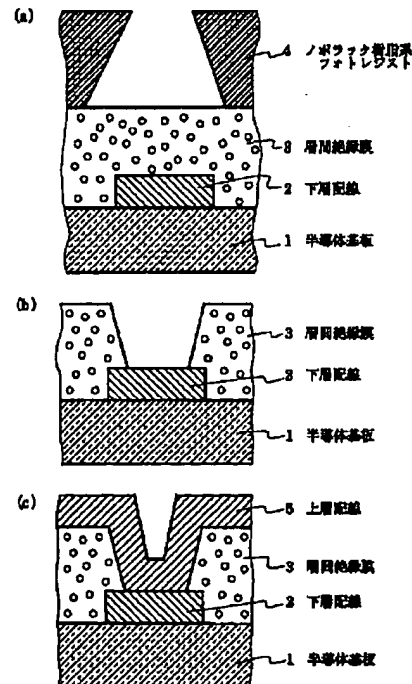
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 下層配線の上に形成された層間絶縁膜に順テーパ形状のスルーホールを形成し、上層配線との接続を改善する。

【構成】 下層配線2上に平坦化された層間絶縁膜3を形成する。つぎにノボラック系フォトリソグロフを塗布・露光し、アミン系ガス雰囲気中に放置する。そのあと全面露光してからアルカリ現像液で現像することにより、逆テーパ形状のレジストパターン4を得る。つぎに層間絶縁膜3を反応性イオンエッチングして、順テーパの断面形状をもつ開口を得る。そのあとスパッタ法およびリソグラフィにより上層配線5を形成して素子部が完成する。

【効果】 層間絶縁膜3の上層配線5のステップカバレッジを改善して、下層配線との接続抵抗を低減し、段切れによるオープン不良を解消して歩留が向上した。



1

## 【特許請求の範囲】

【請求項1】 半導体基板の一主面上に下層配線を形成する工程と、層間絶縁膜を形成したのち平坦化する工程と、フォトリソを塗布する工程と、前記フォトリソを露光する工程と、イメージリバーサル法により前記フォトリソをポジネガ反転する工程と、前記フォトリソを現像して逆テーパー状の第1の開口を形成する工程と、前記フォトリソをマスクとして前記層間絶縁膜を反応性イオンエッチングして、前記下層配線上に順テーパー状の第2の開口を形成する工程と、前記フォトリソを除去する工程と、前記下層配線に前記第2の開口を通して接続する上層配線を形成する工程とを含む半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特に多層配線の形成方法に関するものである。

【0002】

【従来の技術】 従来技術による多層配線の形成方法について、図2(a)～(c)を参照して説明する。

【0003】 はじめに図2(a)に示すように、下層配線2が形成された半導体基板1上に層間絶縁膜3を成長したのち、層間絶縁膜3を平坦化する。つぎにフォトリソ6を塗布してから、露光・現像して下層配線2の上に開口が重なるように、フォトリソ6をパターンニングする。

【0004】 つぎに図2(b)に示すように、フォトリソ6をマスクとして反応性イオンエッチングを行ない、層間絶縁膜3にフォトリソ6を除去する。

【0005】 つぎに図2(c)に示すように、スパッタ法により金属膜を堆積してからパターンニングして上層配線5を形成する。

【0006】 このようにして形成された垂直に近い層間絶縁膜3の断面形状の開口を通して下層配線2と上層配線5とが接続されている。

【0007】

【発明が解決しようとする課題】 従来技術においては、フォトリソの開口の断面形状が垂直に近い形状であるので、フォトリソをマスクとした層間絶縁膜の断面形状も垂直に近い形状になる。

【0008】 そのためスパッタ法により上層配線となる金属膜を堆積したとき、ステップカバレージが良くない。層間絶縁膜の開口の側面で金属膜が薄くなって、下層配線と上層配線との接続抵抗が増大したり、上層配線が断線を引き起こして歩留を低下させるという問題があった。

【0009】 低解像度のフォトリソを用いると断面形状が順テーパーになり、層間絶縁膜が順テーパーになることもある。従来技術ではレジストのテーパー角をコントロールすることはできない。そのため層間絶縁膜のテーパー角も不安定である。

2

【0010】 近年半導体装置のパターン微細化に伴ない、高感度レジストが用いられてレジスト断面はより垂直に近づいて、層間絶縁膜の順テーパー断面形状の開口が得られなくなっている。

【0011】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体基板の一主面上に下層配線を形成する工程と、層間絶縁膜を形成したのち平坦化する工程と、フォトリソを塗布する工程と、前記フォトリソを露光する工程と、イメージリバーサル法により前記フォトリソをポジネガ反転する工程と、前記フォトリソを現像して逆テーパー状の第1の開口を形成する工程と、前記フォトリソをマスクとして前記層間絶縁膜を反応性イオンエッチングして、前記下層配線上に順テーパー状の第2の開口を形成する工程と、前記フォトリソを除去する工程と、前記下層配線に前記第2の開口を通して接続する上層配線を形成する工程とを含むものである。

【0012】

【実施例】 本発明の一実施例について、図1(a)～(c)を参照して説明する。

【0013】 はじめに図1(a)に示すように、半導体基板1上に下層配線2を形成する。つぎに層間絶縁膜3を成長させたのち平坦化する。つぎにノボラック樹脂系フォトリソ4を塗布し、目合わせ露光したのちアミン系ガス雰囲気中に放置する。そのあとウェハ全面に露光してからアルカリ現像液で現像することにより、逆テーパーの断面形状をもつレジストパターン4が得られる。

【0014】 具体的にはレジストとして例えば厚さ3μmの住友化学製PF7400Bを用いて、アミン系ガス雰囲気中に60分放置したのち、ウェハ全面に露光してから、東京応化製アルカリ現像液NMD-3で75秒間現像することにより、105°の逆テーパー角の断面形状をもつレジストパターンが得られる。

【0015】 つぎに逆テーパーの断面形状をもつノボラック樹脂系フォトリソ4をマスクとして反応性イオンエッチングを行なう。このときノボラック樹脂系フォトリソ4の薄いところで層間絶縁膜3が深くエッチングされるので、層間絶縁膜3の断面形状は順テーパーになる。ノボラック樹脂系フォトリソ4の逆テーパー角は露光量と現像時間により再現性良く制御できるので、層間絶縁膜3の順テーパー角も制御可能となる。

【0016】 このあとノボラック樹脂系フォトリソ4を除去したところを、図1(b)に示す。

【0017】 つぎに図1(c)に示すように、スパッタ法およびリソグラフィにより上層配線5を形成して素子部が完成する。

【0018】 層間絶縁膜3の開口が順テーパーになっているので、上層配線5のステップカバレージが向上し

3

て、下層配線2との接続抵抗の増大や断線による不良を1/10以下に減少させることができた。

【0019】さらにレジストの選定の制約がなくなつて、高感度レジストなどを用いることができるようになった。

【0020】本実施例で用いたノバラック樹脂系フォトレジストの代りに、レジスト自体にイメージリバーサル機能をもつフォトレジストを用いることもできる。例えばフォトレジストとしてヘキスト製AZ-5214Eを用いる。

【0021】AZ-5214Eを塗布してからホットプレート上で90℃、90秒のプリベークののち、1線(波長365nm)ステップアンドリピートで露光を行なう。つぎにホットプレート上で110℃、90秒のPEB(post exposure bake)を行なつてからウェハー全面を露光し、アルカリ現像液により現像を行なう。

【0022】こうして約105°のテーパ角をもつレジスト断面形状が得られる。イメージリバーサル機能をもつAZ-5214Eを用いることにより、アミン系ガス雰囲気処理装置が不要になるという利点がある。

4

【0023】

【発明の効果】逆テーパ断面形状のフォトレジストを用いて、下層配線と上層配線とを接続する層間絶縁膜層間絶縁膜の開口断面を順テーパ形状にすることができた。

【0024】その結果、層間絶縁膜の上に形成する上層配線のステップカバレッジを改善して、下層配線との接続抵抗を低減し、段切れによるオープン不良を解消することができた。

10 【図面の簡単な説明】

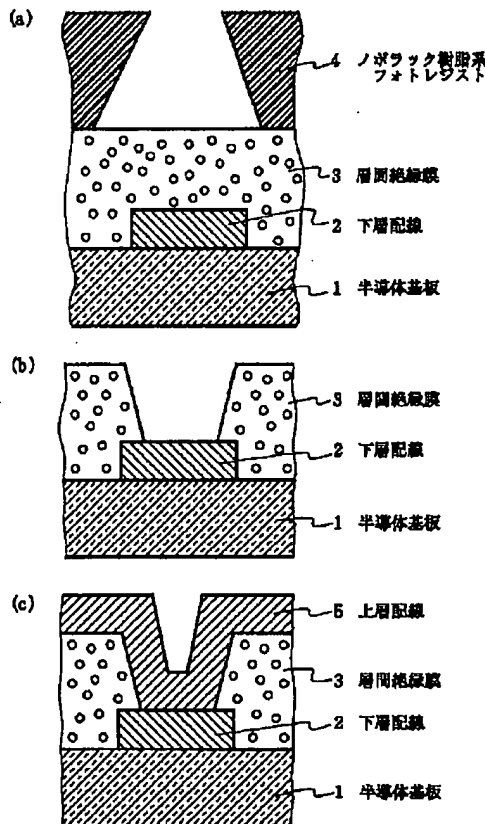
【図1】本発明の一実施例を工程順に示す断面図である。

【図2】従来技術による多層配線の形成方法を示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 下層配線
- 3 層間絶縁膜
- 4 ノバラック樹脂系フォトレジスト膜
- 5 上層配線
- 6 フォトレジスト

【図1】



【図2】

